

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-062723

(43)Date of publication of application : 18.03.1991

(51)Int.Cl.

H03K 17/16
H03K 17/687
H03K 19/0175
H03K 19/0185

(21)Application number : 01-198603

(71)Applicant : NEC CORP

(22)Date of filing : 31.07.1989

(72)Inventor : WABUKA YUTAKA

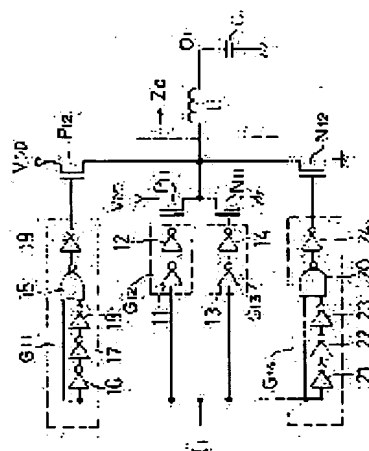
(54) OUTPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To suppress overshoot and undershoot in an output signal sufficiently by activating 1st and 2nd output circuits to vary an output signal quickly at a change in an input signal, and activating only the 1st output circuit having the same output impedance as the impedance of a signal transmission line in the steady-state.

CONSTITUTION: When an input signal I1 changes from a VDD level into a '0' level, a transistor (TR) P11 is turned on and a TR N11 is turned off. Since each gate level of TRs P12, N12 changes to a '0' level via a NOR gate 15 of an auxiliary drive circuit G11, an inverter 19, a NAND gate 20 of an auxiliary drive circuit G14 and an inverter 24, the TR P12 is turned on and the TR N12 is turned off.

Thus, the signal transmission line is rapidly charged by the TRs P11, P12 and the output signal rises quickly. Then a high speed operation by low output impedance drive is attained and also overshoot and undershoot of an output signal O1 are reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑫ 公開特許公報(A) 平3-62723

⑬ Int.Cl.⁵

H 03 K

17/16
17/687
19/0175
19/0185

識別記号

H

庁内整理番号

8124-5 J

⑭ 公開 平成3年(1991)3月18日

7827-5 J
8941-5 J
8941-5 JH 03 K 17/687
19/00

1 0 1

F
F
D

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 出力バッファ回路

⑯ 特 願 平1-198603

⑰ 出 願 平1(1989)7月31日

⑱ 発 明 者 和 深 裕 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 藤巻 正憲

明 細 書

1. 発明の名称

出力バッファ回路

2. 特許請求の範囲

(1) 入力信号に従って信号伝送路の特性インピーダンスを駆動すると共に、前記信号伝送路の特性インピーダンスに等しい出力インピーダンスを有する相補対接続された第1及び第2のトランジスタからなる第1の出力回路と、出力端が前記信号伝送路に接続され、相補対接続された第3及び第4のトランジスタからなる第2の出力回路と、前記入力信号の変化時のみ前記第2の出力回路を能動状態にする制御回路とを有することを特徴とする出力バッファ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、出力バッファ回路に関し、特に高速の信号処理回路に好適の出力バッファ回路に関する。

〔従来の技術〕

従来、この種の出力バッファとして、例えば第4図に示す回路が知られている。

第4図において、インダクタンスL及び容量Cは、特性インピーダンスZ₀の信号伝送路を等価的に表している。この出力バッファ回路は、入力信号I₁により、インバータ51、52及びインバータ53、54からなる駆動回路G₀₁及びG₀₂を夫々介してPチャネルトランジスタP₀₁とNチャネルトランジスタN₀₁とを相補的に切換え、特性インピーダンスZ₀の信号伝送路を通して出力信号O₁のレベルを制御するものとなっている。

〔発明が解決しようとする課題〕

ところで、近年、LSIを使用したシステムの高速化に伴い、出力バッファ回路には駆動能力が大きく、高速で動作するものが要求されるようになってきた。この要求に対処すべく、従来の出力バッファ回路では、出力信号を切換えるためのトランジスタの幾何学的寸法を大きくすることがなされているが、かかる対応では信号伝送路の特性インピーダンスに比べ、出力バッファの出力イン

ピーダンスが小さくなり、第5図に示されているように、信号伝送路を通った出力信号に大きなオーバーシュート及びアンダーシュートが発生し、これらに起因して誤動作が発生するという問題点があった。

本発明はかかる問題点に鑑みてなされたものであって、オーバーシュート及びアンダーシュートの発生を抑制することができ、しかも高連動作が可能な出力バッファ回路を提供することを目的とする。

【課題を解決するための手段】

本発明に係る出力バッファ回路は、入力信号に従って信号伝送路の特性インピーダンスを駆動すると共に、前記信号伝送路の特性インピーダンスに等しい出力インピーダンスを有する相補対接続された第1及び第2のトランジスタからなる第1の出力回路と、出力端が前記信号伝送路に接続され、相補対接続された第3及び第4のトランジスタからなる第2の出力回路と、前記入力信号の変化時のみ前記第2の出力回路を能動状態にする制

-3-

ファ回路の回路図である。

第1図において、インダクタンス L 及び容量 C は、特性インピーダンス Z 。の信号伝送路を等価的に表している。

電源 V_{DD} と接地端子との間には、第1の出力回路を構成するPチャネルトランジスタ P_{11} とNチャネルトランジスタ N_{11} とが直列に接続されている。これらトランジスタ P_{11} 、 N_{11} は、信号伝送路の特性インピーダンス Z 。と等しい出力インピーダンスを有し、その共通接続されたドレインが前記信号伝送路に接続されている。これらトランジスタ P_{11} 、 N_{11} の各ゲートには、インバータ11、12の接続回路からなる駆動回路 G_{11} 及びインバータ13、14の接続回路からなる駆動回路 G_{12} を夫々介して入力信号 I_1 が与えられている。

一方、電源 V_{DD} と接地端子との間には、第2の出力回路を構成するPチャネルトランジスタ P_{12} とNチャネルトランジスタ N_{12} とが直列に接続されている。これらトランジスタ P_{12} 、 N_{12} は、要求される出力バッファ回路の遅延時間を満足する

-5-

制御回路とを有することを特徴とする。

【作用】

本発明によれば、信号伝送路を通った出力点の電圧は、当初第1の出力回路のトランジスタと第2の出力回路のトランジスタとを介して何れかのレベルに向かって上昇又は下降するが、所定のレベルに近付くと、制御回路によって第2の出力回路のトランジスタが非導通状態となり、出力インピーダンスが信号伝送路の特性インピーダンスと等しい第1の出力回路の一方のトランジスタのみを介して電流が供給されるので、出力点におけるオーバーシュート及びアンダーシュートを低減することができる。しかも、本発明によれば、信号変化点では第1及び第2の出力回路による低出力インピーダンスでの充放電がなされるので、高速に動作させることができる。

【実施例】

以下、本発明の実施例を添付の図面に基づいて説明する。

第1図は本発明の第1の実施例に係る出力バッ

-4-

ような幾何学的寸法に設定され、例えば高連性を高めるため、低出力インピーダンスとなるように設定されている。そして、これらトランジスタ P_{12} 、 N_{12} の共通接続されたドレインも前記信号伝送路に接続されている。

これらトランジスタ P_{12} 、 N_{12} の各ゲートには、入力信号 I_1 の変化時のみトランジスタ P_{12} 又は N_{12} を導通状態にさせる補助駆動回路 G_{13} 、 G_{14} の出力が供給されている。補助駆動回路 G_{13} は、入力信号 I_1 を反転させるインバータ16、17、18の接続回路と、その出力と上記入力信号 I_1 とを入力とするNORゲート15と、その出力を反転させるインバータ19とによって構成されている。補助駆動回路 G_{14} は、入力信号 I_1 を反転させるインバータ21、22、23の接続回路と、その出力と上記入力信号 I_1 とを入力とするNANDゲート20と、その出力を反転させるインバータ24とによって構成されている。

第2図はこの出力バッファ回路の動作を示す波形図である。

-6-

入力信号 I_1 が V_{DD} レベルから 0 レベルに変化すると、駆動回路 G_{12} , G_{10} を介してトランジスタ P_{11} , N_{11} の各ゲート電位が 0 レベルに変化するので、トランジスタ P_{11} がオン、トランジスタ N_{11} がオフとなる。同時に、補助駆動回路 G_{11} の NOR ゲート 15 及びインバータ 19 並びに補助駆動回路 G_{14} の NAND ゲート 20 及びインバータ 24 を介してトランジスタ P_{12} , N_{12} の各ゲート電位が 0 レベルに変化するので、トランジスタ P_{12} がオン、トランジスタ N_{12} がオフとなる。これにより、トランジスタ P_{11} , P_{12} によって信号伝送路が急速に充電され、出力信号は速やかに立上がる。

補助駆動回路 G_{11} においては、入力信号 I_1 が立ち下がってからインバータ 16~18 による信号伝送遅延時間だけ経た後に、インバータ 18 の出力が立上がるので、NOR ゲート 15 の出力は 0 レベルに反転し、インバータ 19 の出力は V_{DD} レベルに反転する。これにより、トランジスタ P_{12} がオフする。また、補助駆動回路 G_{14} にお

-7-

びインバータ 24 を介してトランジスタ P_{12} , N_{12} の各ゲート電位が V_{DD} レベルに変化するので、トランジスタ P_{12} がオフ、トランジスタ N_{12} がオンとなる。これにより、トランジスタ N_{11} , N_{12} によって信号伝送路が急速に放電され、出力信号は速やかに立下がる。

補助駆動回路 G_{14} においては、入力信号 I_1 が立ち上がってからインバータ 21~23 による信号伝送遅延時間だけ経た後に、インバータ 23 の出力が立下がるので、NAND ゲート 20 の出力は V_{DD} レベルに反転し、インバータ 24 の出力は 0 レベルに反転する。これにより、トランジスタ N_{12} がオフする。また、補助駆動回路 G_{11} においても、入力信号 I_1 の立上がり後、インバータ 16~18 の信号伝送遅延時間の後に、インバータ 19 の出力が 0 レベルに立下がるが、NOR ゲート 15 の一方の入力端には V_{DD} レベルが入力されているので、NOR ゲート 15 の出力 (0 レベル) は変化しない。

このように、入力信号 I_1 が立ち上がった場合、

-8-

でも、入力信号 I_1 の立上がり後、インバータ 21~23 の信号伝送遅延時間の後に、インバータ 23 の出力が V_{DD} レベルに立上がるが、NAND ゲート 20 の一方の入力端には 0 レベルが入力されているので、NAND ゲート 20 の出力 (V_{DD} レベル) は変化しない。

このように、入力信号 I_1 が立ち下がると、立ち下がり時の過渡状態においては、トランジスタ P_{11} , P_{12} の両方がオンし、続いてトランジスタ P_{12} がオフになるので、低出力インピーダンス駆動による高速動作が可能で、しかも出力信号 O_1 のオーバーシュート及びアンダーシュートを低減することができる。

一方、入力信号 I_1 が 0 レベルから V_{DD} レベルに変化すると、駆動回路 G_{12} , G_{10} を介してトランジスタ P_{11} , N_{11} の各ゲート電位が V_{DD} レベルに変化するので、トランジスタ P_{11} がオフ、トランジスタ N_{11} がオンとなる。同時に、補助駆動回路 G_{11} の NOR ゲート 15 及びインバータ 19 並びに補助駆動回路 G_{14} の NAND ゲート 20 及

-8-

その過渡状態においては、トランジスタ N_{11} , N_{12} の両方がオンし、続いてトランジスタ N_{12} がオフになるので、低出力インピーダンス駆動による高速動作が可能で、しかも出力信号 O_1 のオーバーシュート及びアンダーシュートを低減することができる。

第 3 図は本発明の第 2 の実施例に係る出力バッファ回路を示す回路図である。

基本的な構成は第 1 図の回路と同様であるが、この実施例では、P チャネルトランジスタ P_{21} を駆動する駆動回路 G_{22} が、NOR ゲート 31 及びインバータ 32 で構成され、N チャネルトランジスタ N_{21} を駆動する駆動回路 G_{20} が、NAND ゲート 33 及びインバータ 34 で構成されている。そして、これら各駆動回路 G_{22} , G_{20} の NOR ゲート 31 及び NAND ゲート 33 の各一方の入力として夫々制御信号 C_{21} , C_{20} が与えられている。

また、P チャネルトランジスタ P_{22} を駆動する補助駆動回路 G_{21} が、3 入力 NOR ゲート及びインバータ 36, 37, 38, 39 によって構成さ

-10-

れ、Nチャネルトランジスタ N_{22} を駆動する補助駆動回路 G_{24} が、3入力NANDゲート40及びインバータ41、42、43、44によって構成されている。そして、これら各駆動回路 G_{21} 、 G_{24} を構成するNORゲート35及びNANDゲート40の各一つの入力として夫々制御信号 C_{21} 、 C_{22} が与えられている。

この実施例によれば、制御信号 C_{21} が0レベル、制御信号 C_{22} が V_{DD} レベルの場合に前述した第1の実施例と同様の動作をし、制御信号 C_{21} が V_{DD} レベル、制御信号 C_{22} が0レベルの場合、トランジスタ P_{21} 、 P_{22} 、 N_{21} 、 N_{22} は全てオフとなる。

〔発明の効果〕

以上説明したように、本発明によれば、入力信号の変化時には、第1及び第2の出力回路が動作して出力信号を速やかに変化させ、定常状態では信号伝送路と同一の出力インピーダンスの第1の出力回路のみが動作するので、出力信号のオーバーシュート及びアンダーシュートを十分抑制しつ

つ、高速動作が可能になる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例に係る出力バッファ回路の回路図、第2図は同回路の動作放形図、第3図は本発明の第2の実施例に係る出力バッファ回路の回路図、第4図は従来の出力バッファ回路の回路図、第5図は同回路の動作放形図である。

11~14, 16~19, 21~24, 32, 34, 36~39, 41~44, 51~54; インバータ、15, 31, 35; NORゲート、20, 33, 40; NANDゲート、 G_{11} , G_{14} , G_{21} , G_{24} ; 補助駆動回路、 G_{12} , G_{13} , G_{22} , G_{23} , G_{25} ; 駆動回路、 P_{11} , P_{12} , P_{21} , P_{22} , P_{23} ; Pチャネルトランジスタ、 N_{11} , N_{12} , N_{21} , N_{22} , N_{23} ; Nチャネルトランジスタ、 I_1 , I_2 , I_3 ; 入力信号、 O_1 , O_2 , O_3 ; 出力信号、 C_{21} , C_{22} ; 制御信号

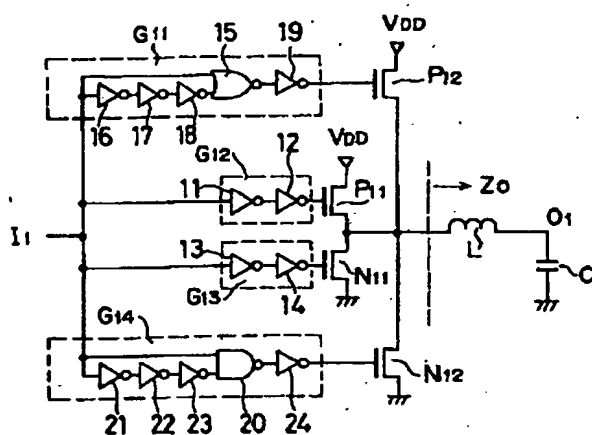
出願人 日本電気株式会社

代理人 弁理士 藤巻正憲

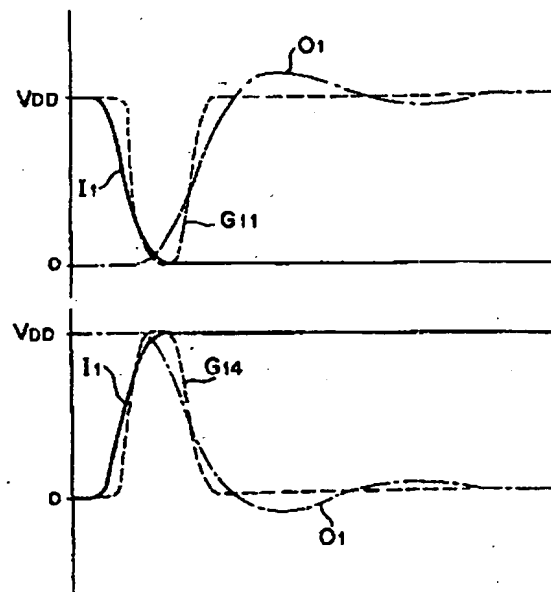
-11-

-12-

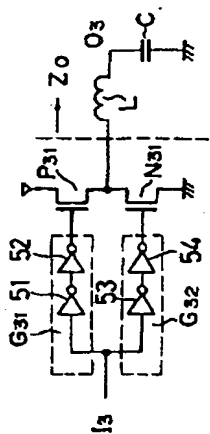
G_{11} , G_{14} : 補助駆動回路
 G_{12} , G_{13} : 駆動回路
 P_{11} , P_{12} : Pチャネルトランジスタ
 N_{11} , N_{12} : Nチャネルトランジスタ
 L : インダクタンス
 C : 容量



第 1 図

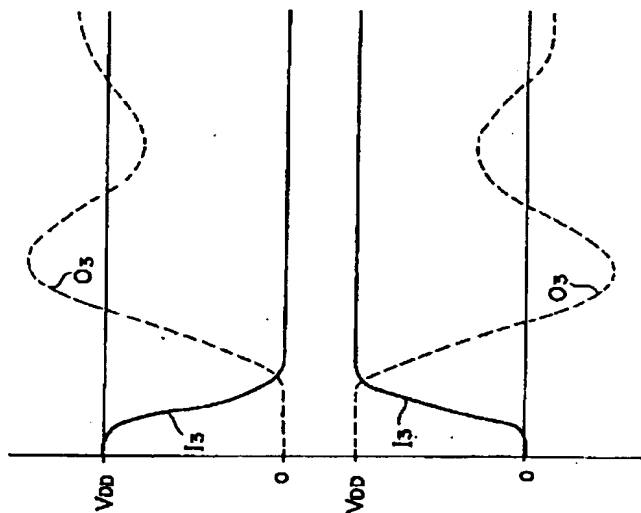


第 2 図

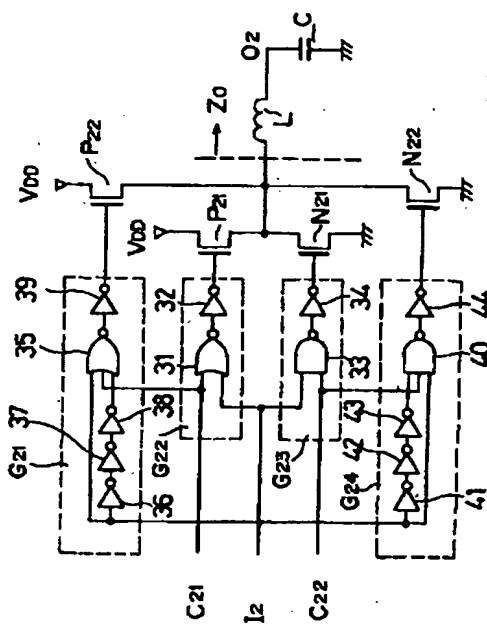


第 4 図

G₃₁, G₃₂: 駆動回路
P₃₁, P₃₂: Pチャネルトランジスタ
N₃₁, N₃₂: Nチャネルトランジスタ
L: インダクタンス
C: 容量



第 5 図



第 3 図

G₂₁, G₂₂: 補助駆動回路
G₂₁, G₂₂: 駆動回路
P₂₁, P₂₂: Pチャネルトランジスタ
N₂₁, N₂₂: Nチャネルトランジスタ
L: インダクタンス
C: 容量